



КР(КФ)1446ВВ1 - An9201

АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

КР(КФ)1446ВВ1 (An9201) (АДБК.43113.527ТУ) – интегральная схема параллельного аналого-цифрового преобразователя (АЦП).

КР(КФ)1446ВВ1 предназначен для преобразования аналогового напряжения в цифровой десятиразрядный код. Максимальные и минимальные уровни входного сигнала задаются с помощью опорных напряжений.

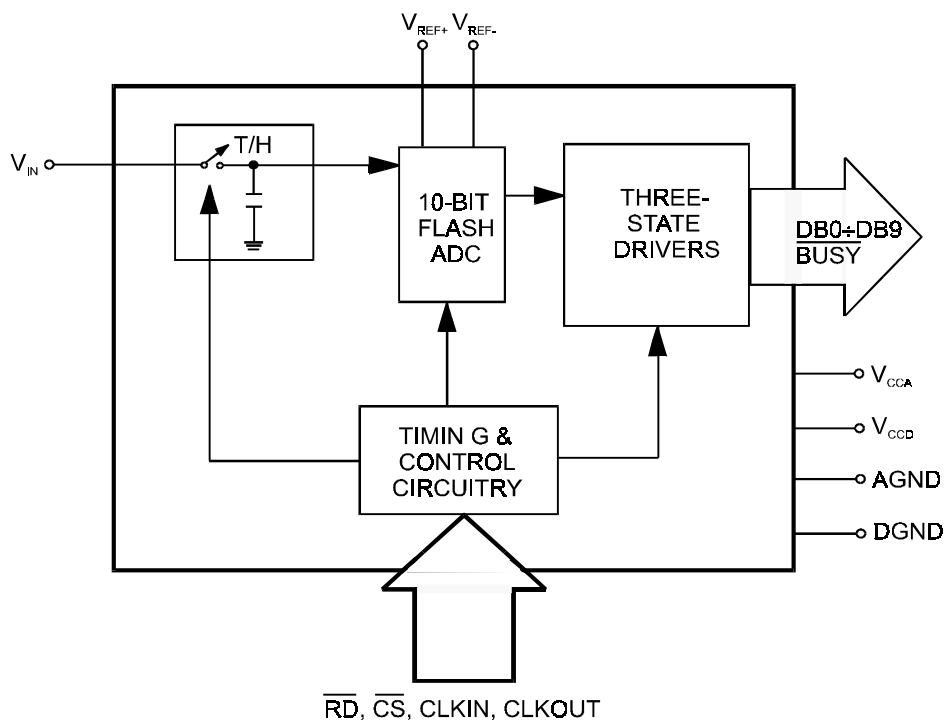
КР(КФ)1446ВВ1 может применяться для построения следующих видов устройств:

- измерительные системы:
 - вольтметры,
 - амперметры,
 - омметры...
- системы контроля:
 - уровня жидкости,
 - давления,
 - температуры.

ОСОБЕННОСТИ

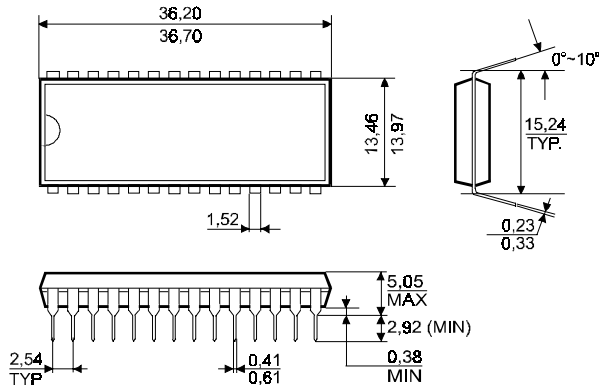
• Разрешающая способность –	10 бит	• Питание –	+ 5 V
• Интегральная нелинейность –	± 1 МЗР	• Ток потребления –	15 мА
• Время преобразования –	320 ns	• Корпус, пластмассовые –	DIP или SO

СТРУКТУРНАЯ СХЕМА ИС

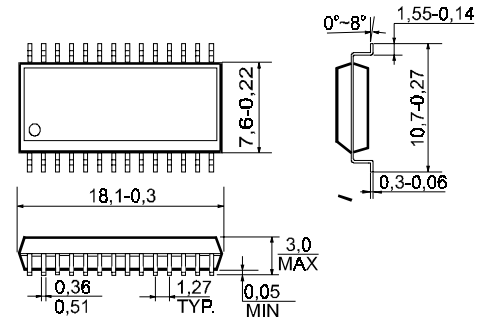


КОНСТРУКЦИЯ

Корпус 2121.28-12



Корпус 4323.28-A



Описание выводов

Вы-вод	Символ	Описание
1	V_{REF-}	Вход нижнего уровня опорного напряжения. Устанавливает нижнюю границу шкалы
2	NC	Не используется
3	NC	Не используется
4	V_{REF+}	Вход верхнего уровня опорного напряжения
5	V_{IN}	Аналоговый вход
6	NC	Не используется
7	DB0	Тристабильный выход данных. Разряд 0
8	DB1	Тристабильный выход данных. Разряд 1
9	DB2	Тристабильный выход данных. Разряд 2
10	DB3	Тристабильный выход данных. Разряд 3
11	\overline{BUSY}	Выход сигнала готовности данных
12	DGND	Общий вывод (цифровой)
13	\overline{CS}	Вход выбора кристалла
14	NC	Не используется
15	CLKOUT	Выход частоты. Инверсия сигнала CLKIN
16	CLKIN	Вход для подключения внешней частоты или для подключения кварца между CLKIN и CLKOUT
17	\overline{RD}	Вход чтения данных. По низкому уровню начинается преобразование и открываются выходные буферные устройства, если \overline{CS} находится в активном состоянии
18	DB4	Тристабильный выход данных. Разряд 0
19	DB5	Тристабильный выход данных. Разряд 0
20	NC	Не используется
21	DB6	Тристабильный выход данных. Разряд 0
22	NC	Не используется
23	DB7	Тристабильный выход данных. Разряд 0
24	DB8	Тристабильный выход данных. Разряд 0
25	DB9	Тристабильный выход данных. Разряд 0
26	V_{CCD}	Вывод питания от источника напряжения (цифровая часть)
27	V_{CCA}	Вывод питания от источника напряжения (аналоговая часть)
28	AGND	Общий вывод (аналоговый)



ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Параметр	Сим-вол	Единица	Условия измерения	Значение		
				Мин.	Макс.	
Разрешающая способность		bit	-	10	-	
Дифференциальная нелинейность	DNL	LSB	Гарантия отсутствия пропуска кодов	-	± 1	
Абсолютная погрешность	TUE	LSB	-	-	± 1	
Аналоговый вход	Диапазон сигнала	V	-	V_{REF-}	V_{REF+}	
	Входная емкость	C_{IN}	pF	-	150	
	Входной ток	I_{IN}	μA	$V_{IN}=AGND \div V_{CCA}$	-	± 500
Вход опорного напряжения	Импеданс		кОм	Между V_{REF-} и V_{REF+}	0,35	-
	Нижний уровень	V_{REF-}	V	-	AGND-0,1	AGND+0,1
	Верхний уровень	V_{REF+}	V	-	4	V_{CCA}
Логические входы	Входной ток	I_I	μA	CS, RD $V_{IN} = 0V$ до V_{CCD}	-	± 10
	Входная емкость	C_I	pF	CS, RD	-	10
Логические выходы	Напряжение низкого уровня	V_{OL}	V	BUSY, DB0 \div DB9; $I_{OL}=0,5mA$	-	0,8
	Напряжение высокого уровня	V_{OH}	V	BUSY, DB0 \div DB9 $I_{OH}=0,5mA$	3,6	-
	Ток в состоянии "включено"	I_{OZ}	μA	DB0 \div DB9 $V_O = 0V$; $V_O = V_{CCD}$	-	± 10
	Емкость	C_O	pF	-	-	± 15
Напряжение питания	V_{CCA} , V_{CCD}	V	-	4,5	5,5	
Тактовая частота	F_{CLK}	MHz	-	-	12,5	
Время преобразования	T_{CONV}	ns	-	-	320	

ПРЕДЕЛЬНЫЕ ХАРАКТЕРИСТИКИ

Параметр	Единица	Сим-вол	Норма*			
			Предельно-допустимая		Предельная	
			Мин	Макс	Мин	Макс
Напряжение питания	V	U_{CC}	4,5	5,5	0,0	7,0
Напряжение на любом выходе	V	U_I	0	U_{CC}	-0,3	$U_{CC}+0,3$
Входное напряжение низкого уровня	V	U_{LH}	3,6**	U_{CC}	3,6**	$U_{CC}+0,3$
Входное напряжение высокого уровня	V	U_{IH}	0	0,8**	-0,2	0,8**
Выходной ток низкого уровня	mA	I_{OL}	-	0,5	-	-
Выходной ток высокого уровня	mA	I_{IL}	-	0,5	-	-
Температура окружающей среды: - рабочая, - хранения	$^{\circ}C$	T_{OP} T_{STG}	-40	+70	-	-
			-60	+125	-60	+125

*) При предельных режимах ИС продолжает функционировать без гарантии параметров

**) С учетом всех видов помех.

ФУНКЦИОНИРОВАНИЕ

Микросхема КР(КФ)1446ПВ1 является высокоскоростным, простым в использовании и совместимым с микропроцессорными устройствами 10-разрядным аналого-цифровым преобразователем. Типичное время преобразования составляет 320 ns, интегральная нелинейность - $\pm 1\text{МЗР}$. Диапазон входного сигнала составляет от 0 V до 5 V. Микросхема КР1446ПВ1 использует однополярное напряжение питания +5 V.

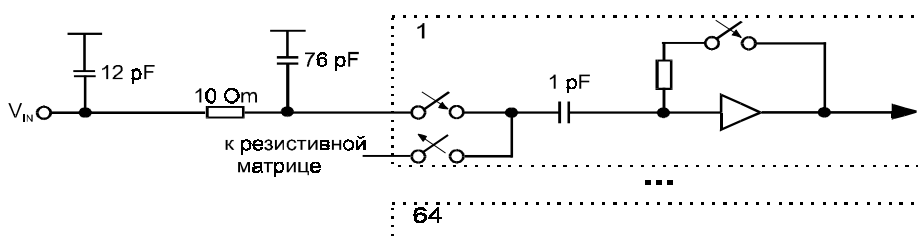
Интерфейс АЦП позволяет организовывать связь с микропроцессором как при помощи портов, так и путем включения преобразователя в карту памяти микропроцессора. Для этого существуют два режима работы интерфейса. Входы чтения ($\overline{\text{RD}}$) и выбора кристалла ($\overline{\text{CS}}$) управляют тристабильными выходами данных.

АЦП состоит из 32 грубых и 64 точных компараторов, грубой резистивной матрицы ЦАП (32 резистора) и точной резистивной матрицы ЦАП (1024 резистора). Аналоговый вход подключается к каждому грубому компаратору и сравнивается с напряжениями на грубой резистивной матрице ЦАП. 5-разрядный результат преобразования используется чтобы определить диапазон из точной матрицы ЦАП для подключения к 64 точным компараторам.

Напряжения в верхней и нижней точках матрицы опорных напряжений определяют уровень нуля и полную шкалу входных сигналов. Аналоговый вход может изменяться в диапазоне от $V_{\text{REF-}}$ до $V_{\text{REF+}}$.

Вход АЦП может быть представлен в качестве ёмкости 76 pF, заряжаемой через сопротивление 10 Ом. (См. схему выборки-хранения).

1 канал схемы выборки-хранения



Входные ёмкости компараторов играют роль “хранящих” емкостей и должны полностью заряжаться входным сигналом. Между преобразованиями (за 100 ns до начала преобразования), сигнал передаётся от аналогового входа на ёмкости компараторов. С началом преобразования ёмкости отключаются от входа.

АЦП может оцифровывать изменения высокочастотных входных сигналов без внешней схемы выборки и хранения. Время выборки вычисляется по формуле:

$$t_{\text{ACQ}} = 10 (R_s + 10 \text{ Ом}) 76 \text{ pF} ,$$

где R_s - сопротивление источника входного сигнала.

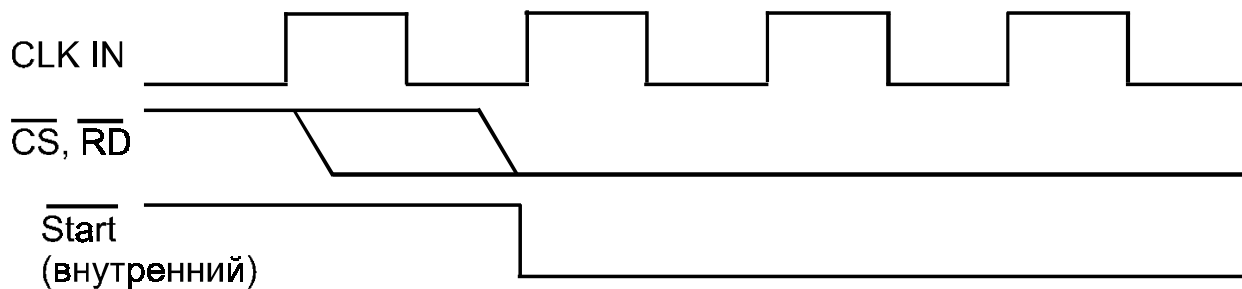
Преобразование начинается по фронту сигнала CLK IN, если сигналы $\overline{\text{CS}}$ и $\overline{\text{RD}}$ находятся в состоянии логического нуля. После завершения преобразования результат сохраняется в выходном регистре. Сигнал BUSY переключается в состояние логической единицы.

Входы $\overline{\text{CS}}$ и $\overline{\text{RD}}$ с помощью высокоомных резисторов подключены к выводу DGND.

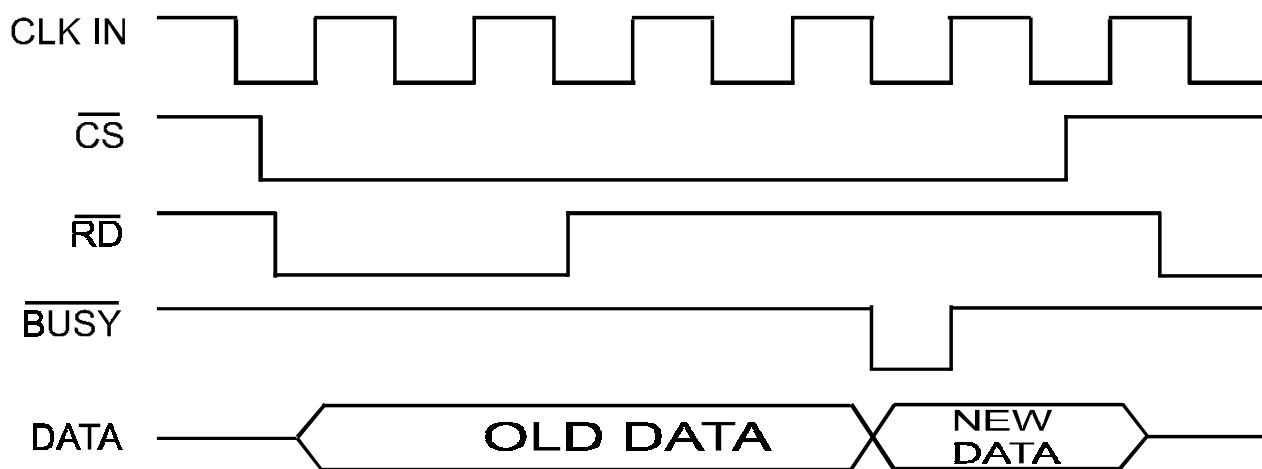


ВРЕМЕННЫЕ ДИАГРАММЫ

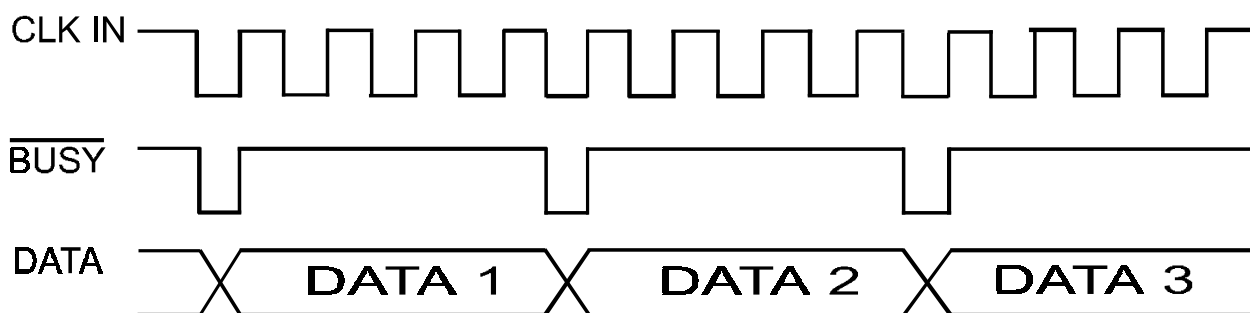
Начало преобразования



Режим 1



Режим 3 ($\overline{CS}=\overline{RD}=0$)



ВАРИАНТЫ СХЕМ ВКЛЮЧЕНИЯ

Схема 1

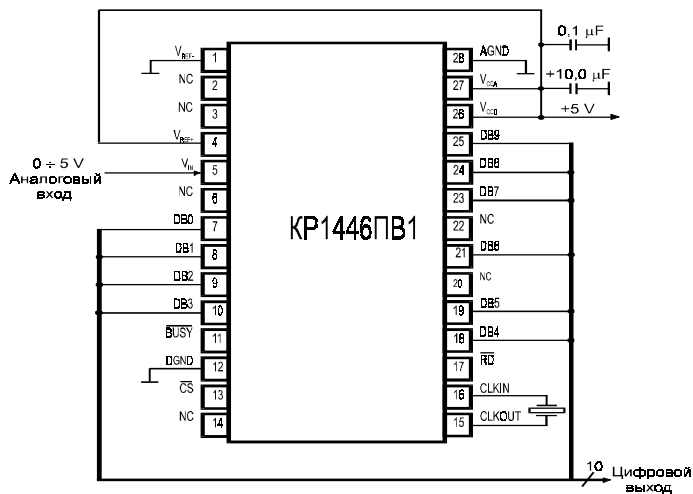


Схема 2

